

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: Ryota NANJO

Serial Number: Not Yet Assigned

Filed: October 30, 2003

**Customer No.: 38834**

For: SEMICONDUCTOR DEVICE WITH DUMMY STRUCTURE

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

October 30, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

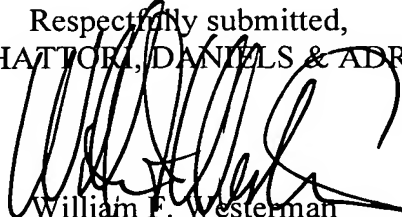
**Japanese Appln. No. 2002-317758, filed on October 31, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



William F. Westerman  
Reg. No. 29,988

Atty. Docket No.: 032052  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
WFW/ll

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 3 1 日  
Date of Application:

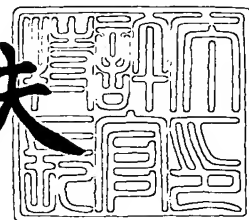
出 願 番 号                      特 願 2 0 0 2 - 3 1 7 7 5 8  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 1 7 7 5 8 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年    8 月    6 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出 証 番 号    出 証 特 2 0 0 3 - 3 0 6 2 9 0 1

【書類名】 特許願

【整理番号】 0241058

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/06

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 南條 亮太

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100091340

    【弁理士】

    【氏名又は名称】 高橋 敬四郎

    【電話番号】 03-3832-8095

【選任した代理人】

    【識別番号】 100105887

    【弁理士】

    【氏名又は名称】 来山 幹雄

    【電話番号】 03-3832-8095

【手数料の表示】

    【予納台帳番号】 009852

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板と、

複数の活性領域を画定するように前記半導体基板の表層に形成された素子分離領域と、

前記各活性領域に半導体素子を形成するため、活性領域の基板表面上に形成された少なくとも 1 つのゲート電極と、

前記ゲート電極を覆って、前記半導体基板上に形成された層間絶縁膜と、

前記層間絶縁膜を貫通し、複数の前記半導体素子領域を接続するローカル配線と、

前記層間絶縁膜を貫通し、前記ローカル配線とは電氣的に分離して形成された複数のローカル配線ダミーと、

各々が、前記素子分離領域を貫通するように形成された活性領域ダミー、前記素子分離領域を貫通するように形成された活性領域ダミーとその上に形成されたゲート電極ダミーの積層ダミー、前記素子分離領域の上に形成されたゲート電極ダミーのいずれかを含む、複数の下層ダミーと、  
を有し、前記ローカル配線ダミーの各々は 2 つの下層ダミーには接続されないように配置されている半導体装置。

【請求項 2】 前記ローカル配線ダミーは、前記ローカル配線の幅の 1 ～ 2 倍の幅を有する請求項 1 記載の半導体装置。

【請求項 3】 前記下層ダミーが活性領域ダミーである請求項 2 記載の半導体装置。

【請求項 4】 前記半導体基板は p ウエルと n ウエルを含み、前記活性領域は前記ゲート電極両側にシリサイド層を含み、前記各活性領域ダミーは p ウエルと n ウエルにまたがらない請求項 3 記載の半導体装置。

【請求項 5】 前記ローカル配線ダミーは前記活性領域ダミーの上面内のみ配置されている請求項 3 記載の半導体装置。

【請求項 6】 前記下層ダミーが前記素子分離領域上に形成させたゲート電

極ダミーである請求項 2 記載の半導体装置。

【請求項 7】 前記ローカル配線ダミーが前記ゲート電極ダミー上面の上のみ形成されている請求項 6 記載の半導体装置。

【請求項 8】 前記下層ダミーが前記積層ダミーであり、前記ローカル配線ダミーは 2 つ以上の積層ダミーに接続されない請求項 2 記載の半導体装置。

【請求項 9】 前記積層ダミーのゲート電極ダミーが 2 つ以上の活性領域ダミーの上には延在しない請求項 8 記載の半導体装置。

【請求項 1 0】 前記下層ダミーが半導体素子の基準配列方向に対して斜めに配列されている請求項 1 ～ 9 のいずれか 1 項記載の半導体装置。

#### 【発明の詳細な説明】

##### 【 0 0 0 1 】

#### 【発明の属する技術分野】

本発明は半導体装置に関し、特に電気回路としては機能しないダミー構造を有する半導体装置に関する。ダミー構造としては活性領域ダミー、ゲート電極ダミー、ローカル配線ダミー等がある。

##### 【 0 0 0 2 】

#### 【関連技術】

近年、半導体集積回路装置の集積度の向上に伴い、素子分離技術として L O C O S (local oxidation of silicon) に代って平坦性に優れた S T I (shallow trench isolation) が採用されるようになった。ゲート長は益々短くなり、ゲート電極のパターニングには高い加工精度が要求される。さらに、M O S トランジスタ、キャパシタ等のデバイス同士を局所的な範囲で電氣的に接続するローカル配線を用いることが多くなっている。

##### 【 0 0 0 3 】

例えば、シリコン基板上に、バッファ酸化シリコン膜、窒化シリコン膜を形成し、活性領域を画定する素子分離領域の形状を有する開口を形成する。窒化シリコン膜をマスクとし、シリコン基板をエッチングして素子分離用溝を形成する。

##### 【 0 0 0 4 】

酸化シリコン膜等の絶縁層を堆積し、素子分離用溝を埋め込む。窒化シリコン

膜上に堆積した不要な絶縁膜を化学機械研磨 (chemical mechanical polishing、CMP) で除去する。素子分離領域を備え、平坦な表面を有するシリコン基板が得られる。

#### 【0005】

窒化シリコン膜のマスクを除去し、必要なイオン注入を行なった後、活性領域表面にゲート酸化膜、多結晶シリコン膜を形成し、ホトレジストパターンを用いた異方性エッチングによりゲート電極 (及びワード線) をパターンニングする。高精度のパターンニングにより、ゲート長の短いゲート電極が形成される。

#### 【0006】

ゲート電極両側にエクステンション領域用のイオン注入を行なった後、酸化シリコン膜等の絶縁膜を堆積し、異方性エッチングを行なってサイドウォールスペーサを形成する。ゲート電極及びサイドウォールスペーサをマスクとし、高濃度のソース／ドレイン領域用のイオン注入を行う。アニーリングを行い、イオン注入した不純物を活性化する。

#### 【0007】

ゲート電極及びソース／ドレイン領域の抵抗を低減したい場合には、さらにシリコン基板表面上にC<sub>60</sub>等のシリサイド化可能な金属を堆積し、シリサイド化反応を行って露出しているシリコン表面にシリサイド層を形成する。

#### 【0008】

その後、ゲート電極を埋め込む層間絶縁膜を堆積する。ゲート電極等に基づく表面の凹凸をCMPを行って平坦化する。電極引き出し用のビア孔及びローカル配線用の溝を異方性エッチングにより形成する。ローカル配線用溝は、例えば一定の幅を有する。Ti層、TiN層、W層等の金属層を堆積し、ビア孔及びローカル配線用溝を埋め込む。層間絶縁膜表面上に堆積した不要の金属層をCMP等により除去する。その後、必要な上層配線及び層間絶縁膜を形成する。

#### 【0009】

シリコン基板表面上のゲート電極、ローカル配線は、集積度が高く、最も精度が必要とされる。高精度のホトリソグラフィは、下地表面が平坦なことを要求する。表面に凹凸があると、ホトリソグラフィにおける像転写精度が低下してし

まう。ゲート電極やローカル配線（ビア孔を含む）のエッチングにおいてエッチング対象領域の分布にバラツキがあると、エッチレートにバラツキを生じてしまう。

#### 【0010】

S T I 作成工程において、素子分離領域の分布に大きなバラツキがあると、太幅の溝に埋め込まれた酸化シリコン膜中央部が他より早く研磨されてしまうディッシングが生じる。又、太幅の溝にはされまれた細幅の活性領域や、細幅の活性領域が密集している領域においては、CMP が窒化シリコン膜で停止せず、活性領域が研磨されてしまうエロージョンが生じる。このような現象により、基板表面の平坦性が失われると、その後の上層に対するリソグラフィ工程に影響を与える。

#### 【0011】

層間絶縁膜にビア孔やローカル配線用溝を形成し、導電層を埋め込んだ後行う CMP においても、ビア導電体やローカル配線の分布にバラツキがあると、同様の現象が生じる。

#### 【0012】

表面の平坦性を確保するためには、素子分離領域によって画定される活性領域の他、活性領域ダミーを配置することが望まれ、ビア孔やローカル配線用溝の配置においても同様ローカル配線ダミーを配置することが望まれる。ゲート電極作成工程においても、ゲート電極の分布を均一化させるため、ゲート電極ダミーを形成することが望まれる。このようなダミー領域は、自動演算によって設計される場合が多い。しかしながら、ダミー領域の形成により他の問題が生じることもある。

#### 【0013】

図9（A）、（B）は、活性領域ダミーの形成により問題が生じる場合を示している。活性領域ARは、素子分離領域内に露出したシリコン表面である。活性領域ARを横切るように、絶縁ゲート電極Gが形成されている。活性領域AR下部には、n型ウエルNWが延在する。n型ウエルNWの周囲は、p型ウエルPWが取り囲んでいる。このような配置において、活性領域ダミーARDを図に示す



ように、n型ウエルNWとp型ウエルPWの境界をまたぐように形成すると、問題が生じる。

#### 【0014】

図9〈B〉に示すように、n型ウエルNW、p型ウエルPWの境界をまたぐように活性領域ダミーARDが形成され、その表面にシリサイド層SILが形成されると、シリサイド層SILによってn型ウエルNWとp型ウエルPWが短絡されてしまう。

#### 【0015】

図9〈C〉は、素子分離領域STI表面上に形成されたゲート電極ダミーGDの構成を示す。ゲート電極を素子分離領域上に延在させると、同様の断面構造となる。多結晶シリコン層のパターンが形成され、その側壁にはサイドウォールスペーサが形成されている。又、多結晶シリコン層表面にはシリサイド層SILが形成されている。

#### 【0016】

活性領域ダミーARD、ゲート電極ダミーGDを形成した後、その上に形成する層間絶縁膜にローカル配線ダミーLIDを形成する。ローカル配線ダミーによって活性領域ダミーARD及びゲート電極ダミーGDは、下層に当るダミーであるため、まとめて下層ダミーLDと呼ぶ。

#### 【0017】

図9〈D〉は、活性領域ダミーARD、ローカル配線ダミーLIDを介して問題が生じる場合を示す。図9〈A〉同様の構成において、n型ウエルNW内に活性領域ダミーARD1、p型ウエルPW内に活性領域ダミーARD2が形成されている。実デバイスのローカル配線LI1、LI2を形成する工程と同時に、ローカル配線ダミーLIDを形成する。

#### 【0018】

ローカル配線ダミーLIDが、活性領域ARD1、ARD2を電氣的に接続すると、ローカル配線ダミーLIDを介してn型ウエルNW、p型ウエルPWが短絡されてしまう。活性領域ダミーとローカル配線ダミーとを互いに独立に設計すると、このような問題が生じる。

## 【0019】

図9(E)は、ダミー形成により生じる他の問題を例示する。下層ダミーLDが配置された上に、ローカル配線ダミーLIDが配置され、下層ダミーLDを電氣的に接続したとする。この領域上に配線を形成すると、配線とローカル配線ダミーLIDが寄生容量を形成する。ローカル配線ダミーLIDが複数の下層ダミーに電氣的に接続されていると、寄生容量が大きくなってしまう。寄生容量が不均一にばらつくと、配線の電氣的性能がばらついてしまう。

## 【0020】

寄生容量均一化のため、ダミーパターンを装置の基本軸に対して斜めに配列する提案もある。

## 【0021】

## 【特許文献1】

特許第3247600号公報

## 【0022】

## 【発明が解決しようとする課題】

本発明の目的は、ダミーによって平坦性を確保すると共に、ダミー形成により実デバイスに与える影響を低減した半導体装置を提供することである。

## 【0023】

本発明の他の目的は、ダミーを作成しても、上層配線の寄生容量を均一に保ち、かつシリサイドプロセスを用いてもウェル間を短絡させることのない半導体装置を提供することである。

## 【0024】

## 【課題を解決するための手段】

本発明の1観点によれば、半導体基板と、複数の活性領域を画定するように前記半導体基板の表層に形成された素子分離領域と、前記各活性領域に半導体素子を形成するため、活性領域の基板表面上に形成された少なくとも1つのゲート電極と、前記ゲート電極を覆って、前記半導体基板上に形成された層間絶縁膜と、前記層間絶縁膜を貫通し、複数の前記半導体素子領域を接続するローカル配線と、前記層間絶縁膜を貫通し、前記ローカル配線とは電氣的に分離して形成された

複数のローカル配線ダミーと、各々が、前記素子分離領域を貫通するように形成された活性領域ダミー、前記素子分離領域を貫通するように形成された活性領域ダミーとその上に形成されたゲート電極ダミーの積層ダミー、前記素子分離領域の上に形成されたゲート電極ダミーのいずれかを含む、複数の下層ダミーと、を有し、前記ローカル配線ダミーの各々は2つの下層ダミーには接続されないように配置されている半導体装置が提供される。

#### 【0025】

##### 【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。

図1は、本発明の実施例による半導体装置の表面配置の例を示す。STIによる素子分離領域4の中に、活性領域AR(n)、AR(p)が画定されている。pチャンネルMOSトランジスタ用活性領域AR(p)は、n型ウエルNW内に配置されている。n型ウエルNWを取り囲むように、p型ウエルPWが配置されている。nチャンネルMOSトランジスタ用活性領域AR(n)はp型ウエルPW内に配置されている。n型ウエルNW、p型ウエルPWの領域内に、それぞれ境界を跨がないように活性領域ダミー18が配置されている。

#### 【0026】

活性領域AR(n)を横切るように、ゲート電極Gが形成されている。ゲート電極Gと同一層により、各活性領域ダミー18上にゲート電極ダミー19が形成されている。活性領域に形成した半導体素子の所望領域間を接続するように、ローカル配線LIが形成されている。

#### 【0027】

又、各活性領域ダミー18上にも、ローカル配線ダミー20が形成されている。ローカル配線ダミー20は、その下のゲート電極ダミー19上に形成され、ゲート電極ダミー19は、その下の活性領域18領域内に形成されている。

#### 【0028】

ゲート電極ダミーの幅は、種々のゲート電極幅から最適幅を選択して採用すればよい。ローカル配線は一般的に単一の幅が採用されている。ローカル配線ダミーの幅は、ローカル配線と同一でもよいが、より大きくしてもよい。但し、ローカル

配線ダミーの幅は、ローカル配線の幅の1～2倍とすることが好ましい。2種類以上の幅を採用することも可能である。

#### 【0029】

このような配置とすれば、ローカル配線ダミー20が、複数の活性領域ダミー18に接続されることはない。活性領域ダミー18は、ウエル間をまたいでは形成されていないため、n型ウエルNW、p型ウエルPWは短絡されることがない。ローカル配線ダミー20が、複数のゲート電極ダミー19又は複数の活性領域ダミー18に接続されないため、局所的に寄生容量が増大することも防止される。

#### 【0030】

図2(A)は、図1に示した構成の等価回路図を示す。pチャネルMOSトランジスタPMOS1、PMOS2が対向配置され、ソース／ドレイン領域が共通に接続されている。この並列接続に対し、nチャネルMOSトランジスタNMOS1、NMOS2が直列に接続されている。又、PMOS1とNMOS1のゲート電極は相互接続され、PMOS2とNMOS2のゲート電極も相互接続されている。この並列／直列接続が、電源配線VDDとGNDとの間に接続される。

#### 【0031】

図2(B)は、図1のIIB-IIB線に沿う断面構成を示す。p型シリコン基板

1の表面上に、STIによる素子分離領域4が形成されている。シリコン基板1表層には、p型ウエル5、n型ウエル6が形成されている。n型ウエル6の一部が活性領域として露出している。又、p型ウエル5の領域に、素子分離領域4が除去された活性領域ダミー18が配置されている。

#### 【0032】

活性領域表面及びゲート電極表面には、コバルトシリサイド等のシリサイド層10xが形成されている。ゲート電極ダミーGDの表面上にも、同様のシリサイド層10xが形成されている。活性領域ダミー18表面上にもシリサイド層10xが形成されている場合を図示したが、ゲート電極ダミーを広く設計し、シリサイド層が形成されないようにしてもよい。

**【0033】**

n型ウエル6の表面上に、絶縁ゲート電極構造Gが形成され、活性領域ダミー18表面上にも、ゲート電極ダミーGDが形成されている。ゲート電極G及びゲート電極ダミーGDを覆って、窒化シリコン層11が基板上に形成され、さらにその上に酸化シリコンの層間絶縁膜12が形成されている。

**【0034】**

層間絶縁膜12にはローカル配線用溝が形成され、これらの溝内にローカル配線13が形成されている。活性領域ダミー18上方の領域にも、同様の溝が形成され、ローカル配線ダミー20が形成されている。

**【0035】**

図2(B)に示すように、ローカル配線ダミー20は、その下層にゲート電極ダミー19及び／又は活性領域ダミー18を備えるが、それぞれのダミー領域はそれぞれ独立に保たれている。面内方向で複数のダミー領域が接続され、意図せぬ結果を生じることが防止されている。以下、図2(B)に示す構成を作成する製造方法を説明する。

**【0036】**

図3(A)に示すように、シリコン基板1表面上に、900℃の塩酸酸化により、酸化シリコン膜2を厚さ約10nm成長する。酸化シリコン膜2の上に、化学気相堆積(CVD)により、窒化シリコン膜3を厚さ約110nm成膜する。

**【0037】**

窒化シリコン膜3の上にレジストパターンを形成し、異方性エッチングにより窒化シリコン膜3、酸化シリコン膜2をエッチングする。その後レジストパターンは除去する。次に、窒化シリコン膜3をマスクとして、シリコン基板1の異方性エッチングを行なう。例えば、厚さ約300nmのシリコン基板表面層をエッチングする。深さ約300nmのトレンチが形成される。

**【0038】**

図3(B)に示すように、トレンチを形成したシリコン基板上に、CVDにより酸化シリコン膜4を厚さ約500nm成膜する。窒化シリコン膜3上に堆積した不要の酸化シリコン膜4を化学機械研磨(CMP)により除去する。窒化シリ

コン膜 3 は、CMP のストッパとして機能する。活性領域ダミーを形成することにより、素子分離領域を均一化することができ、ディッシングやエロージョンを低減することができる。

#### 【0039】

図 3 (C) に示すように、熱燐酸溶液を用い、窒化シリコン膜 3 を除去する。酸化シリコン膜 2 も弗酸溶液により除去してもよい。この場合は、新たに酸化シリコン膜を厚さ約 10 nm 程度 900℃ の塩酸酸化により成長する。シリコン基板 1 表面上に、n チャネル領域、p チャネル領域を分離するレジストマスクを形成し、それぞれ別箇のイオン注入を行ない、ウエル領域を形成する。

#### 【0040】

例えば、ドーズ量約  $1 \times 10^{13} \text{ cm}^{-2}$  程度の不純物をイオン注入する。このようにして、n ウエル 6、p ウエル 5 を作成する。その後、イオン注入に用いた酸化シリコン膜 2' を除去する。

#### 【0041】

図 4 (D) に示すように、露出したシリコン表面に熱酸化により、厚さ約 1 nm のゲート酸化膜 7 を成長する。ゲート酸化膜 7 の上に、多結晶シリコン層を CVD により厚さ約 110 nm 成膜する。多結晶シリコン層 8 の上に、ゲート電極パターンのレジストパターン PRG を形成する。ゲート電極ダミーのパターンも含まれる。レジストパターン PRG をマスクとし、多結晶シリコン層 8 のエッチングを行なう。活性領域上にゲート電極が形成される。ダミー領域上では、ゲート電極ダミーがエッチングされる。

#### 【0042】

孤立したゲート電極と密集したゲート電極とが混在すると、孤立したゲート電極は過度にエッチングされ易い。ゲート電極ダミーを配置することにより、ゲート電極のエッチングを均一化することができる。続いて、p チャネル領域、n チャネル領域別箇に、例えば、ドーズ量約  $1 \times 10^{14} \text{ cm}^{-2}$  のイオン注入を行ない、エクステンション領域 E を形成する。

#### 【0043】

図 4 (E) に示すように、基板表面上に、酸化シリコン層 9 を CVD により厚

さ約 100 nm 成膜する。酸化シリコン膜 9 に対し異方性エッチングを行ない、平坦な表面上の酸化シリコン膜 9 を除去する。ゲート電極 8 の側壁上には、酸化シリコン膜 9 が残り、サイドウォールスペーサを形成する。

#### 【0044】

図 4 (F) に示すように、n チャネル領域、p チャネル領域別箇に高濃度の不純物イオン注入を行ない、例えば、ドーズ量約  $1 \times 10^{15} \text{ cm}^{-2}$  の不純物をイオン注入し、高濃度のソース／ドレイン領域 S/D を形成する。イオン注入後、約 1050℃ のラピッドサーマルアニール (RTA) を行うことにより、イオン注入された不純物を活性化する。

#### 【0045】

次に、基板 1 表面上に、スパッタリングによりコバルト膜 10 を、例えば厚さ 5 nm 成膜する。520℃ 程度でアニールを行うことにより、ゲート電極 8 表面上及び露出しているソース／ドレイン領域 S/D 表面上にコバルトシリサイドを形成する。

#### 【0046】

図 5 (G) に示すように、コバルトシリサイド層 10 x を形成した後、未反応の金属層を除去し、窒化シリコン膜 11 を厚さ約 40 nm CVD により成膜する。窒化シリコン膜 11 上に、酸化シリコン膜 12 を厚さ約 650 nm 成膜する。酸化シリコン膜 12 表面を、CMP により平坦化した後、その表面上にレジストパターン PRL を形成し、ローカル配線のパターン及びローカル配線ダミーのパターンを異方性エッチングによりエッチングする。エッチング後ホトレジストパターン PRL は除去する。

#### 【0047】

図 5 (H) に示すように、ローカル配線用溝を形成した基板表面上にチタン膜、窒化チタン膜をそれぞれ厚さ約 10 nm づつ CVD により成膜し、さらにタングステン膜を CVD により厚さ約 200 nm 成膜する。ローカル配線用溝は、積層金属層 13 のローカル配線により埋め戻される。酸化シリコン膜 12 表面上に堆積した不要な金属層は、CMP により除去する。ローカル配線と共にローカル配線ダミーを形成することにより、CMP を良好に平坦に行なうことができる。

## 【0048】

図5（I）は、このようにして形成されるダミー領域の構成を概略的に示す。素子分離領域4を貫通して、活性領域ダミー18が形成される。活性領域ダミーの上にゲート電極ダミー19が形成され、その上にローカル配線ダミー20が形成される。なお、ゲート電極ダミーの側壁には、サイドウォールスペーサ9が形成されている。サイドウォールスペーサ9は絶縁物であるため、電氣的接続を形成する能力は無い。導電性ゲート電極の領域が活性領域ダミー領域内に配置される時、ゲート電極ダミーは活性領域ダミー内にあると表現する。

## 【0049】

以上説明した実施例においては、活性領域ダミー、ゲート電極ダミー、ローカル配線ダミーが積層されて積層ダミー構造を形成した。積層ダミー構造はウエル間を短絡することなく、かつ互に独立に形成される。積層ダミーの構造は、上述のものに限らない。また、活性領域ダミーとゲート電極ダミーは必ずしも両者設けられる必要は無い。

## 【0050】

図6（A）（B）は、以上説明した実施例の変形例を示す。図1の構成においては、1つの活性領域ダミー上に1つのゲート電極ダミーが形成され、その上に1つのローカル配線ダミーが形成された。

## 【0051】

図6（A）においては、活性領域ダミー18の上に1つのゲート電極ダミー19が形成され、ゲート電極ダミー19の上に2つのローカル配線ダミー20が形成されている。2つのローカル配線ダミー20は、下層ダミーにより互いに電氣的に接続されてもよいが、2つの下層ダミーを接続することはない。その他の点は前述の実施例と同様である。

## 【0052】

図7（A）、（B）は、ゲート電極ダミーを形成せず、活性領域ダミーの上にローカル配線ダミーを形成した構成を示す。活性領域ダミー18は、nウエルNW、pウエルPW内にそれぞれ分離して形成されている。活性領域ダミー18表面上には、シリサイド層10xが形成されてもよい。ローカル配線ダミー20は



、活性領域ダミー 1 8 領域内に形成される。従って、ローカル配線ダミー 2 0 が 2 つの活性領域ダミー 1 8 を電氣的に接続することは無い。

#### 【 0 0 5 3 】

図 8 (A)、(B) は、活性領域ダミーを形成せず、ゲート電極ダミーを形成し、その上にローカル配線ダミーを形成する構成を示す。ローカル配線ダミー 2 0 は、素子分離領域 4 の上に形成されたゲート電極ダミー 1 9 の上に形成される。ローカル配線ダミー 2 0 は、2 つのゲート電極ダミーを電氣的に接続することがないように配置されている。

#### 【 0 0 5 4 】

以上説明した実施例によれば、ダミー領域はそれぞれ積層構造で形成され、2 つの下層ダミーが上層により接続されることはないように配置されている。従って、ダミー領域はその寄生容量を含めて均一化されている。配線は図中縦方向、横方向（基準方向）に配列される。図に示すように、ダミー領域を主回路の基準配列方向に対し斜めに配列することにより、配線に付される寄生容量は均一化される。ウエル間の短絡も防止される。

#### 【 0 0 5 5 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

#### 【 0 0 5 6 】

##### 【発明の効果】

ダミー構造を形成しても、ウエル間の短絡等の電氣的不都合が生じることは防止される。ダミー構造の上に配線を形成した時に、付与される寄生容量は均一化される。

##### 【図面の簡単な説明】

【図 1】 本発明の実施例による半導体装置の平面構成を示す平面図である。

【図 2】 図 1 の実施例による半導体装置の等価回路図及び部分断面図である。

【図 3】 図 2 (B) に示す構成を製造する方法の主要工程を示す断面図である。

【図 4】 図 2 (B) に示す構成を製造する方法の主要工程を示す断面図である。

【図 5】 図 2 (B) に示す構成を製造する方法の主要工程を示す断面図である。

【図 6】 図 1 に示す実施例の変形例を示す平面図及び断面図である。

【図 7】 本発明の他の実施例による半導体装置の構成を示す平面図及び断面図である。

【図 8】 本発明のさらに他の実施例による半導体装置の構成を示す平面図及び断面図である。

【図 9】 関連技術を示す平面図である。

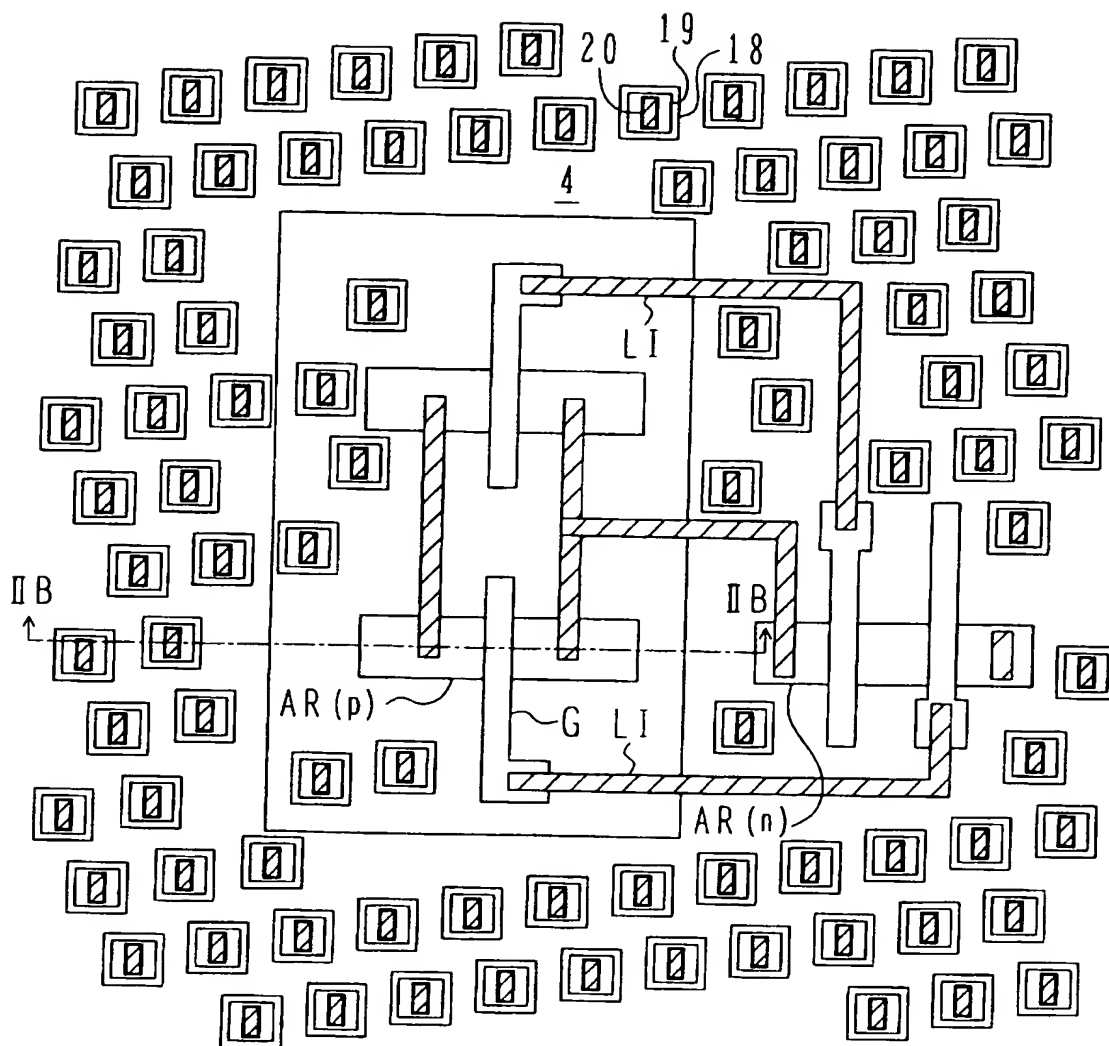
【符号の説明】

- 1 シリコン基板
- 2 バッファ酸化シリコン膜
- 2' 酸化シリコン膜
- 3 窒化シリコン膜
- 4 酸化シリコン膜
- 5 p ウエル
- 6 n ウエル
- 7 ゲート酸化膜
- 8 多結晶シリコン膜
- 9 サイドウォールスペーサ
- 10 コバルト膜
- 10 x コバルトシリサイド膜
- 11 窒化シリコン膜、
- 12 層間絶縁膜 (酸化シリコン膜)
- 13 金属積層 (ローカル配線)
- 18 活性領域ダミー

1 9	ゲート電極ダミー
2 0	ローカル配線ダミー
NMOS	nチャネルMOSトランジスタ
PMOS	pチャネルMOSトランジスタ
VDD	電源電圧
GND	接地電圧
PRG	(ゲート電極用) ホトレジストパターン
PRL	(ローカル配線用) ホトレジストパターン
AR	活性領域
ARD	活性領域ダミー
G	ゲート電極
GD	ゲート電極ダミー
LI	ローカル配線
LID	ローカル配線ダミー
NW	nウエル
PW	pウエル
SIL	シリサイド層
STI	シャロートレンチアイソレーション

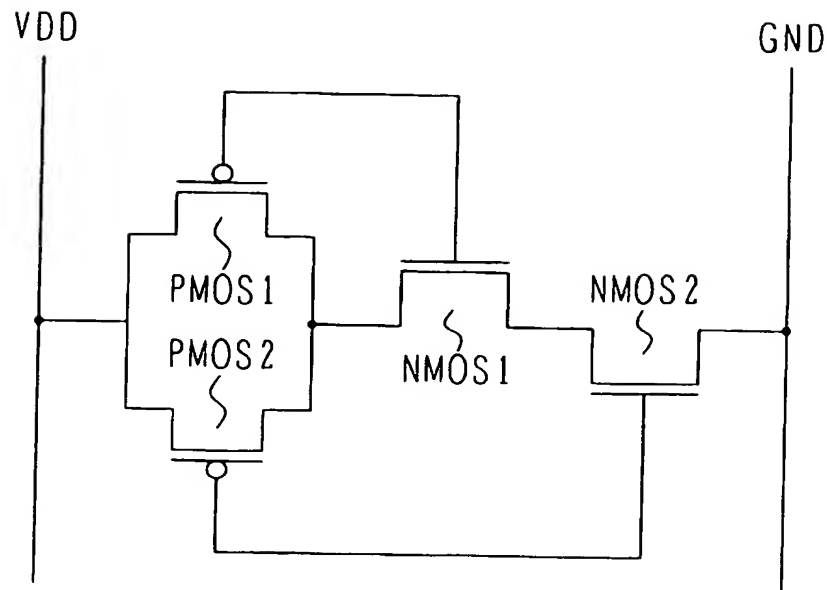
【書類名】 図面

【図 1】

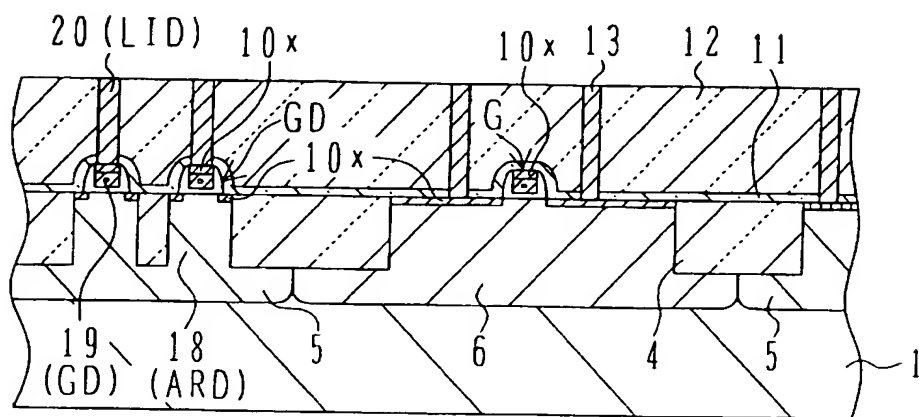


【図 2】

(A)

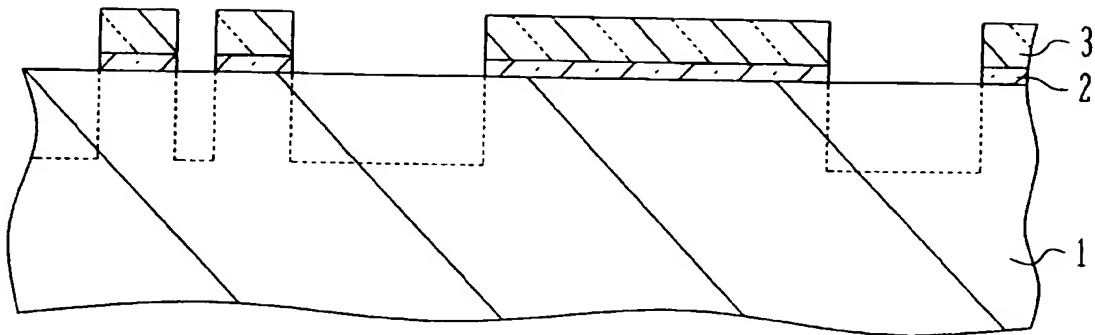


(B)

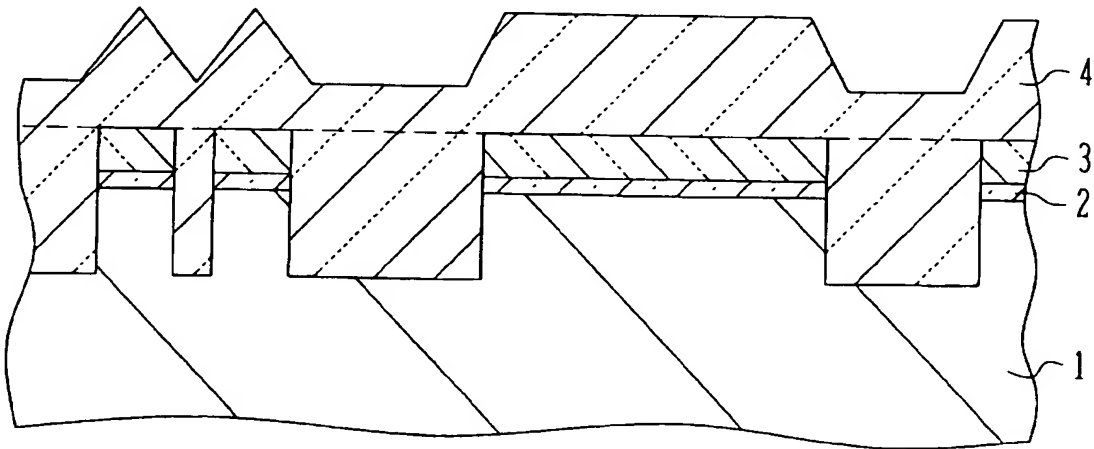


【図 3】

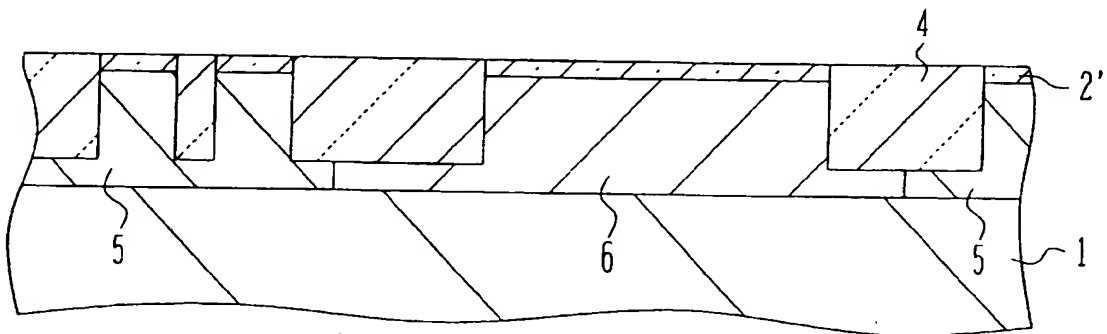
(A)



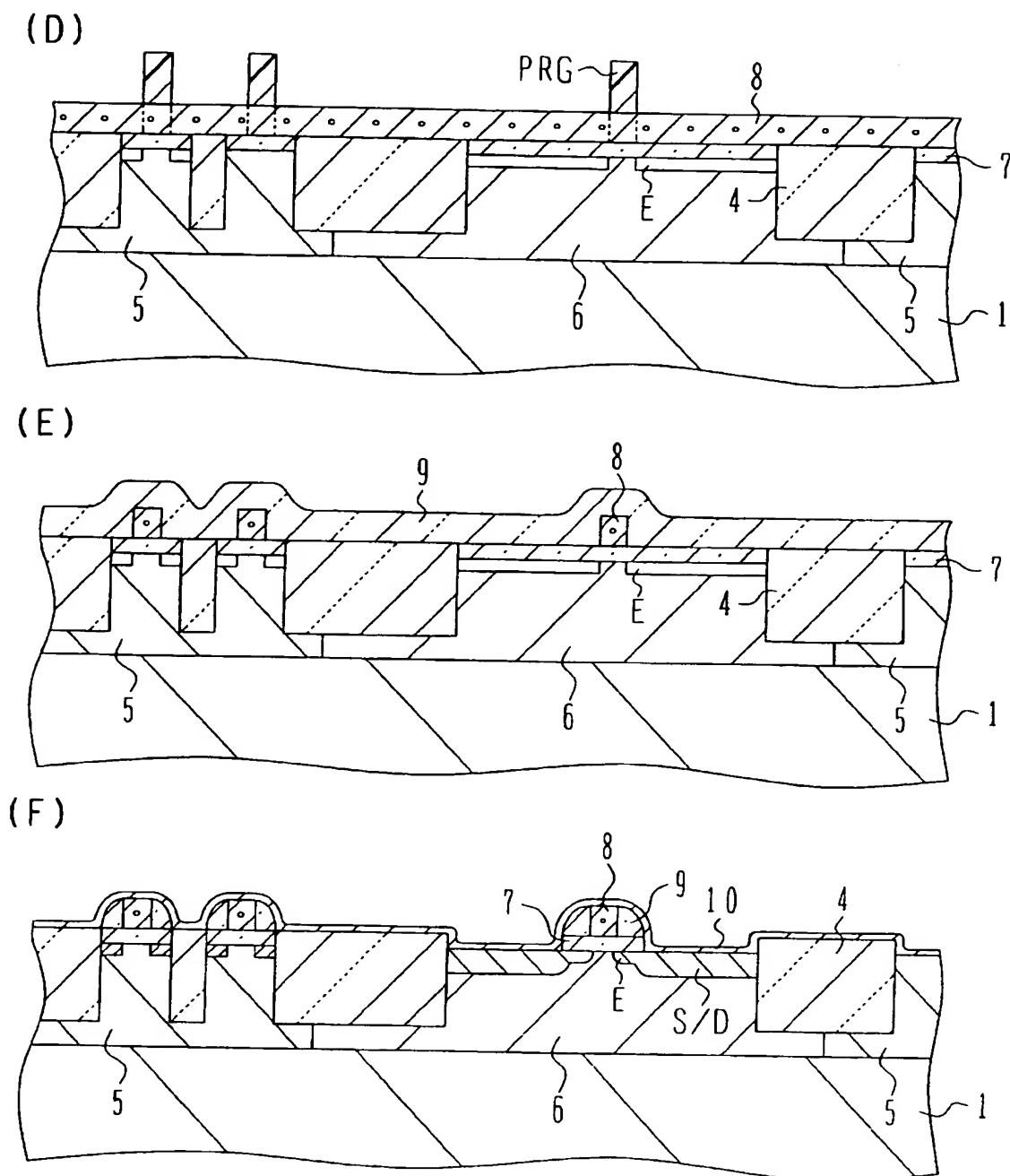
(B)



(C)

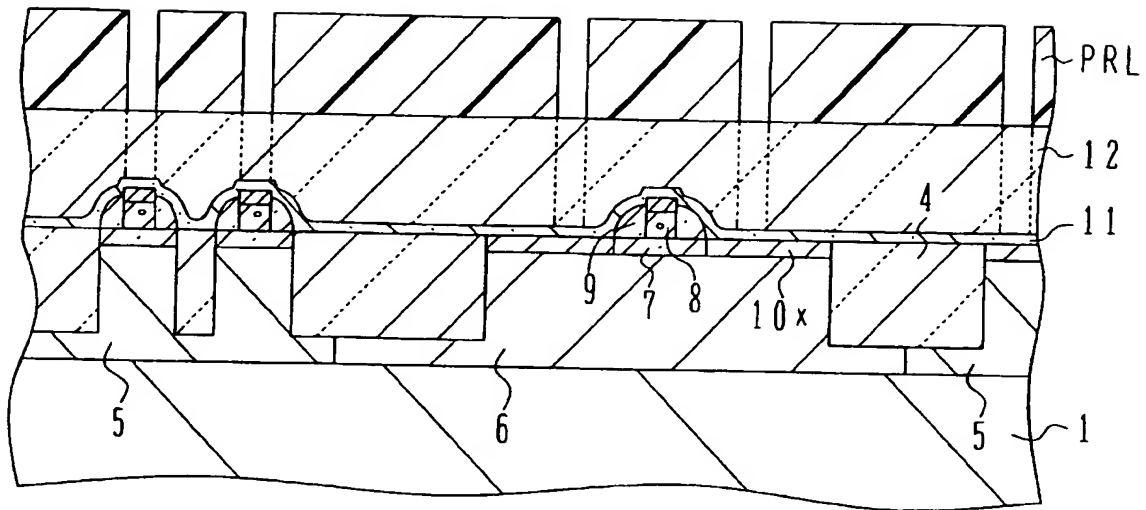


【図 4】

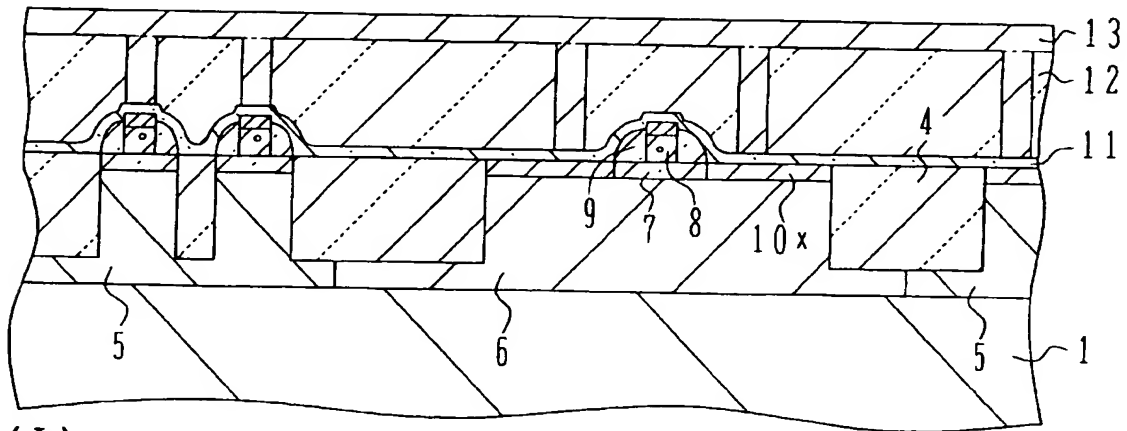


【図 5】

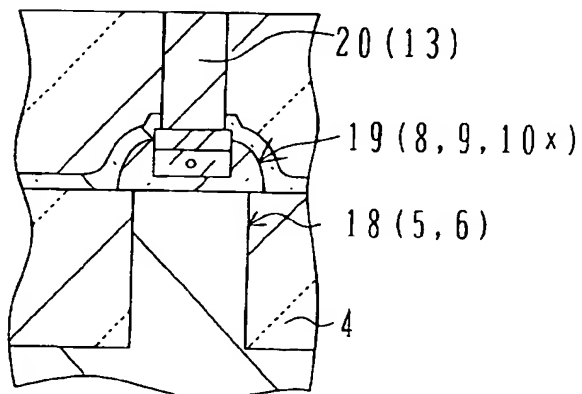
(G)



(H)

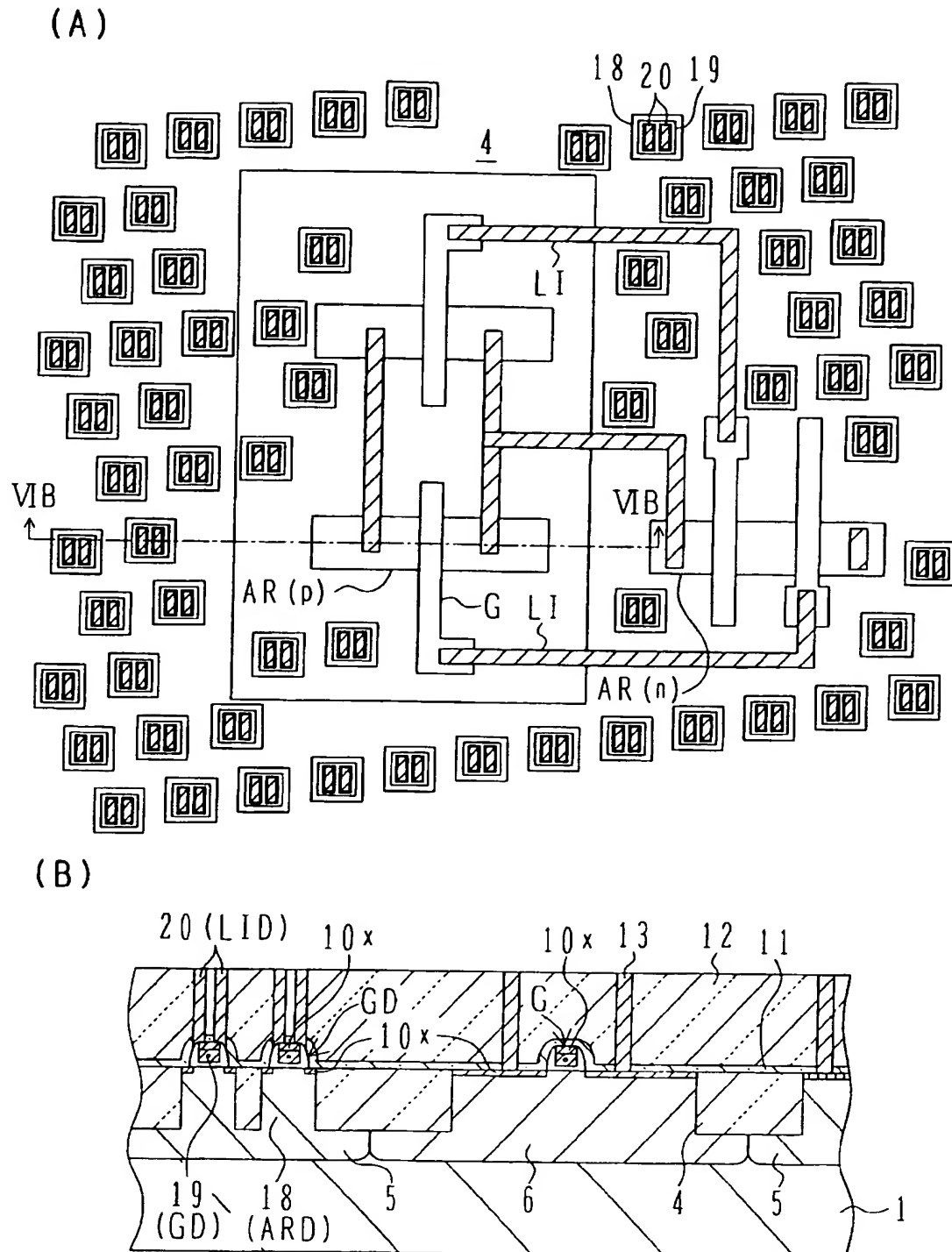


(I)

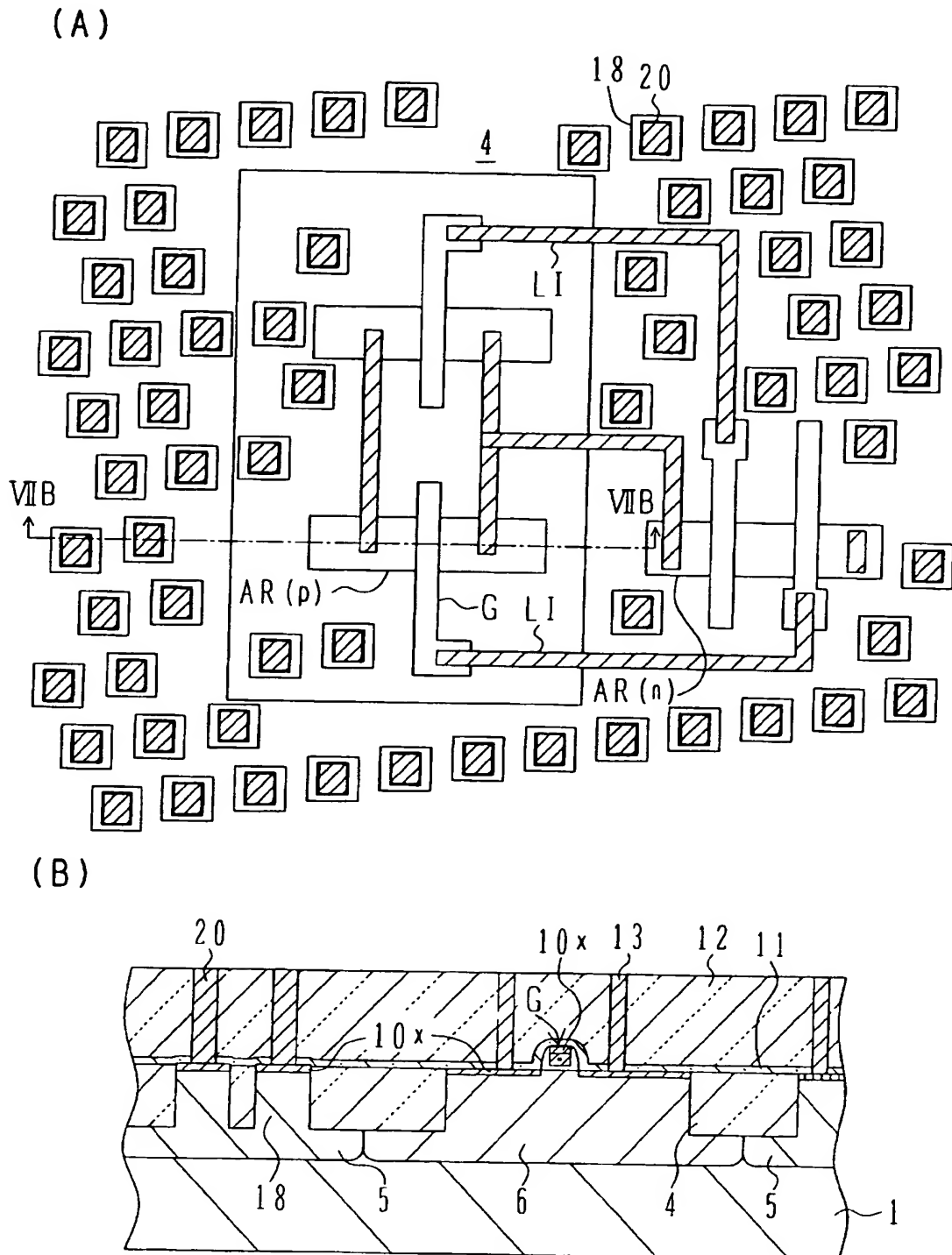




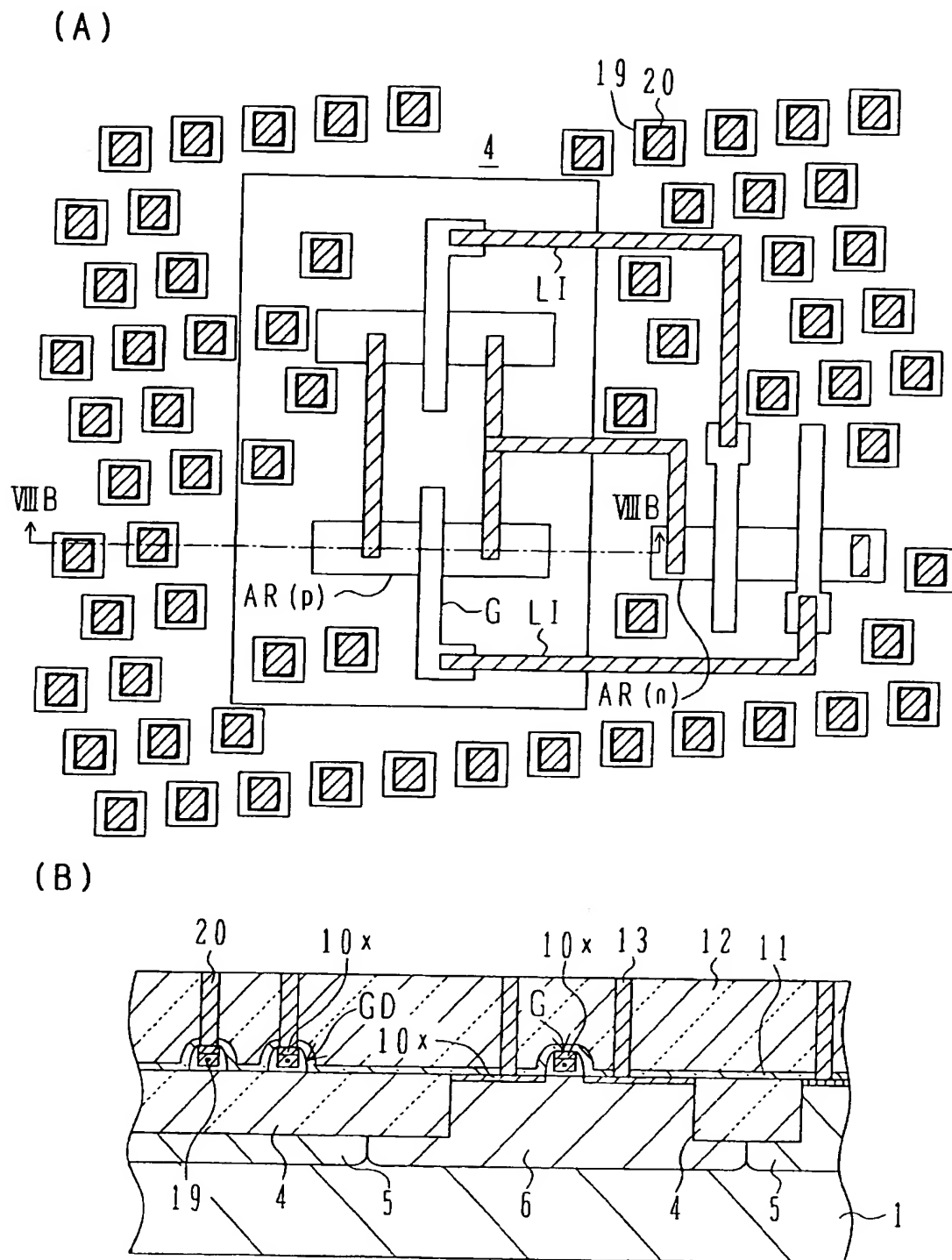
【図 6】



【図 7】



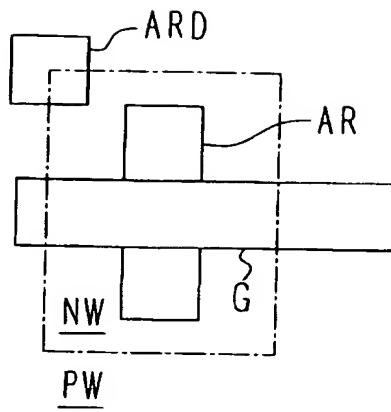
【図 8】



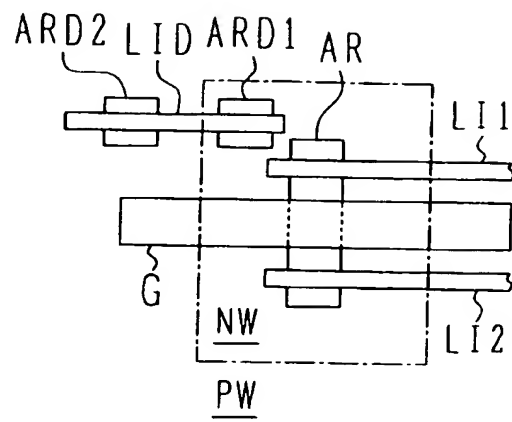
【図 9】

関連技術

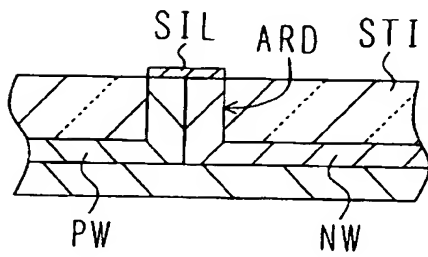
(A)



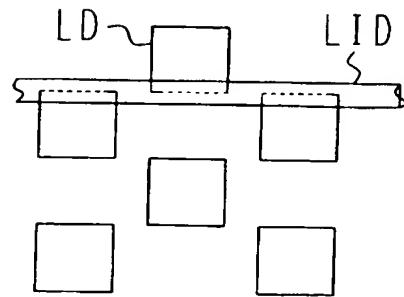
(D)



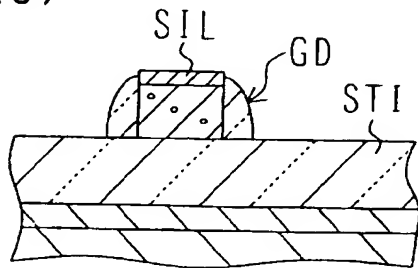
(B)



(E)



(C)



【書類名】 要約書

【要約】

【課題】 ダミーを作成しても、上層配線の寄生容量を均一に保ち、かつシリサイドプロセスを用いてもウェル間を短絡させることのない半導体装置を提供する。

【解決手段】 半導体装置は、半導体基板と、複数の活性領域を画定する素子分離領域と、各活性領域に半導体素子を形成するため、活性領域表面上に形成されたゲート電極と、ゲート電極を覆って、半導体基板上に形成された層間絶縁膜と、層間絶縁膜を貫通し、複数の半導体素子領域を接続するローカル配線と、ローカル配線とは電氣的に分離して形成された複数のローカル配線ダミーと、各々が、素子分離領域を貫通するように形成された活性領域ダミー、活性領域ダミーとその上に形成されたゲート電極ダミーの積層ダミー、素子分離領域の上に形成されたゲート電極ダミーのいずれかを含む、複数の下層ダミーと、を有し、ローカル配線ダミーの各々は2つの下層ダミーには接続されないように配置される。

【選択図】 図 1

特願 2 0 0 2 - 3 1 7 7 5 8

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

- 1 . 変更年月日 1 9 9 0 年 8 月 2 4 日  
[変更理由] 新規登録  
住 所 神奈川県川崎市中原区上小田中 1 0 1 5 番地  
氏 名 富士通株式会社
- 2 . 変更年月日 1 9 9 6 年 3 月 2 6 日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号  
氏 名 富士通株式会社